

Searching PAJ

1/1 ページ

[Cite No.] 7.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368076
 (43)Date of publication of application : 20.12.2002

(51)Int.Cl. G09G 3/20
 G02F 1/133
 G02F 1/1368
 G09G 3/30
 G09G 3/36

(21)Application number : 2001-172668
 (22)Date of filing : 07.08.2001

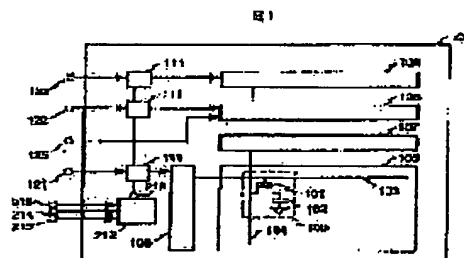
(71)Applicant : HITACHI LTD
 (72)Inventor : AKIMOTO HAJIME

(54) PICTURE DISPLAY PANEL AND PICTURE VIEWER HAVING THE SAME PANEL

(57)Abstract

PROBLEM TO BE SOLVED: To attain the lowering of the cost of a picture display device by realizing entire circuits in a peripheral device with a general LSI (large scale integrated circuit) having a low withstanding voltage equal to or lower than 5 V.

SOLUTION: In a picture display panel which has a pixel area 105 where pixels are arranged in a matrix shape, a gate line shift register 106, a DA converter 107, a latch circuit 108, a horizontal shift register 109 and a plurality of level shifting circuits 111 and which is made to be constituted on insulated substrates so that a signal from a picture signal data input terminal 125 is inputted to the panel, a high voltage generating circuit 212 consisting of capacitances and diodes is provided on the substrates and clocks which have amplitudes of a low voltage and have prescribed frequencies are inputted from the high voltage generating circuit input terminals 213, 214 to the circuit 212 and a constant voltage having a low voltage is inputted also from the constant voltage input terminal 215 to the circuit 212 and a high voltage is supplied from the output terminal 216 of the circuit 212 to respective level shifting circuits 111.



LEGAL STATUS

[Date of request for examination] 14.03.2005
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-366076

(P2002-366076A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.	識別記号	F I	テマート* (参考)
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 D 2 H 0 9 2
	6 2 1		6 2 1 H 2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
1/1368		1/1368	5 C 0 8 0
G 0 9 G 3/30		G 0 9 G 3/30	H

高査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特許2001-172668(P2001-172668)

(22) 出願日 平成13年6月7日 (2001. 6. 7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秋元 肇

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100003492

弁護士 鈴木 市郎 (外1名)

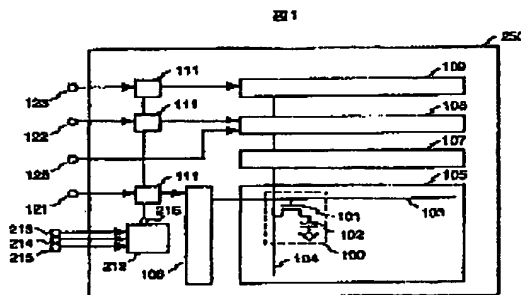
最終頁に続く

(54) 【発明の名称】 画像表示パネル及び画像表示パネルを有する画像ビューア

(57) 【要約】

【課題】周辺装置内の全ての回路を5V以下の低電圧を有する一般のLSIで実現することにより、画像表示装置の低コスト化を図る。

【解決手段】画素がマトリクス状に配置された画素領域105と、ゲート線シフトレジスタ106と、DA変換器107と、ラッチ回路108と、水平シフトレジスタ109と、複数のレベルシフト回路111を有し、画像信号データ入力端子125からの信号が入力するよう絶縁基板上に構成してなる画像表示パネルにおいて、前記絶縁基板上に容量とダイオードから成る高電圧生成回路212を設け、高電圧生成回路入力端子213、214から所定の周波数を有する低電圧の振幅のクロックを、定電圧入力端子215から低電圧の定電圧を入力し、出力端子216から各レベルシフト回路111に高電圧を供給する。



(2)

特開2002-366076

【特許請求の範囲】

【請求項1】 画素がマトリクス状に配置された画素領域105と、ゲート線シフトレジスタ106と、DA変換器107と、ラッチ回路108と、水平シフトレジスタ109と、複数のレベルシフト回路111を有し、シフトレジスタ106、109及びラッチ回路108には、夫々ゲート線シフトレジスタ入力端子121、ラッチ回路入力端子122、水平シフトレジスタ入力端子123から信号が夫々レベルシフト回路111を介して入力し、ラッチ回路108には、画像信号データ入力端子125からの信号が入力するよう絶縁基板上に構成してなる画像表示パネルにおいて、前記絶縁基板上に容量とダイオードから成る高電圧生成回路212を設け、高電圧生成回路入力端子213、214から所定の周波数を有する低電圧の振幅のクロックを、定電圧入力端子215から低電圧の定電圧を入力し、出力端子216から各レベルシフト回路111に高電圧を供給することを特徴とする画像表示パネル。

【請求項2】 請求項1記載の画像表示パネルにおいて、容量及びこれに対応する高電圧生成回路入力端子を複数にしたことを特徴とする画像表示パネル。

【請求項3】 請求項1、請求項2記載の画像表示パネルにおいて、ダイオードを多結晶Si-TFTダイオードで構成したことを特徴とする画像表示パネル。

【請求項4】 請求項3記載の画像表示パネルにおいて、多結晶Si-TFTダイオードは、n型高濃度不純物領域n+とp型高濃度不純物領域p+の間に10¹⁸/cm³以下の低濃度不純物領域n-を有することを特徴とする画像表示パネル。

【請求項5】 請求項1乃至請求項4記載の画像表示パネルにおいて、前記絶縁基板として透明板を用いたことを特徴とする画像表示パネル。

【請求項6】 請求項1乃至請求項5記載の画像表示パネルにおいて、画素が液晶容量102を有していることを特徴とする画像表示パネル。

【請求項7】 請求項1乃至請求項6記載の画像表示パネルにおいて、画素が有機発光ダイオード304を有していることを特徴とする画像表示パネル。

【請求項8】 請求項1乃至請求項7記載の画像表示パネルと、無線インターフェース(I/F)回路87と、MPU兼デコーダ88と、フレームメモリ89と、電源95と、光駆96で構成したことを特徴とする画像ビューア。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は特に低コストで製造が可能な、液晶或いは有機発光ダイオードを用いた画像表示装置の画像表示パネル及び画像ビューアに関する。

【0002】

【従来の技術】 以下、図7を用いて従来の技術を説明する。

【0003】 図7は、従来例の例えば低温多結晶Si-TFT液晶を用いた画像表示パネル150の構成図である。画素領域105には液晶容量102と低温多結晶Si-TFTからなる画素スイッチ101を有する画素100がマトリクス状に配置され、画素スイッチ101のゲートはゲート線103を介してゲート線シフトレジスタ106に接続されている。また画素スイッチ101のドレインは信号線104を介してDA変換器107に接続され、DA変換器107にはラッチ回路108からの出力信号が、ラッチ回路108には水平シフトレジスタ109からの出力信号が、それぞれ入力している。ゲート線シフトレジスタ106、ラッチ回路108、水平シフトレジスタ109には、それぞれゲート線シフトレジスタ入力端子121、ラッチ回路入力端子122、水平シフトレジスタ入力端子123からの信号がそれぞれレベルシフト回路111を介して入力し、また各レベルシフト回路111には、高電圧入力端子124から供給された高電圧が印加している。レベルシフト回路111は、前記入力端子121～123に入力した例えば5V以下の低電圧信号をレジスタ106、109とラッチ回路108の動作に必要な例えば13Vの高電圧に昇圧する回路である。この他にもラッチ回路108には、画像信号データ入力端子125からの信号線が入力している。以上の要素はガラス基板等の絶縁基板上に構成されている。なおここでは、カラーフィルタや周辺駆動回路等、画像表示パネル150以外の画像表示装置に必要な一般的な構成は、その説明を省略する。

【0004】 以下、前記従来例の動作を説明する。水平シフトレジスタ入力端子123から入力し、レベルシフト回路111によって高電圧入力端子124から供給された高電圧に対応した高電圧振幅信号に変換された水平シフト信号は、水平シフトレジスタ109を駆動する。水平シフトレジスタ109はラッチ回路108を所定のタイミングで駆動し、画像信号データ入力端子125から入力された画像信号をラッチ回路108内の第1ラッチ回路に順次ラッチする。1水平画素数分に対応する画像信号がラッチ回路108内の第1ラッチ回路にラッチされると、ラッチ回路入力端子122から入力しレベルシフト回路111によって高電圧振幅信号に変換されたラッチ信号がラッチ回路108に入力し、上記の第1ラッチ回路内の画像信号をラッチ回路108内の第2ラッチ回路にラッチする。次いで、第2ラッチ回路にラッチされた1水平画素数分の画像信号は並列に、DA変換器

(3)

特開 2002-366076

107に輸入されてディジタル-アナログ変換され、アナログ画像信号電圧を信号線104に出力する。このときゲート線シフトレジスタ入力端子121から入力したレベルシフト回路111で高電圧振動信号に変換されたゲート線駆動信号は、ゲート線シフトレジスタ106を所定のタイミングで駆動し、所定行の画素の画素スイッチ101をゲート線103を介してオンにする。これによって信号線104に出力されていたアナログ画像信号電圧は、所定行の画素の液晶容量102に書き込まれることになる。液晶容量102には対向電極が設けられており、これによって各画素100の液晶に印加されるアナログ画像信号電圧に応じた画像表示を可能としている。

【0005】なお前記従来技術に関しては、例えばISSCC 2000, Digest of Technical Papers, pp. 188-189等に詳しく記載されている。

【0006】

【発明が解決しようとする課題】上記従来技術によれば、レベルシフト回路111を絶縁基板上に設けることにより、ゲート線シフトレジスタ入力端子121、ラッチ回路入力端子122、水平シフトレジスタ入力端子123、画像信号データ入力端子125の各端子に入力する信号を5V程度の低電圧振動信号にすることが可能である。

【0007】しかしながら上記従来技術では、画像表示パネル150を駆動するための回路を全て、一般のLSIで対応可能な5V以下の低電圧回路のみで構成することは不可能であった。何故ならば、レベルシフト回路111に13Vの高電圧を印加するためには、13Vの高電圧を外部から高電圧入力端子124に供給する必要があり、画像表示パネル150を駆動するための画像表示装置内部に設けられる画像表示パネル150と異なる周辺装置に高電圧電源回路を設けざるを得なかった。この高電圧電源回路部分には、一般のLSI以外の高耐圧部品を採用する必要があるため、前記周辺装置全体を一般の低耐圧LSIで構成することが困難であり、画像表示装置の製造コストを上昇させていた。

【0008】本発明の目的は、周辺装置内の駆動回路等全ての回路を、5V以下の低耐圧を有する一般のLSIで実現することにより、画像表示装置の低コスト化を図ることである。

【0009】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を採用した。

【0010】画素がマトリクス状に配置された画素領域105と、ゲート線シフトレジスタ106と、DA変換器107と、ラッチ回路108と、水平シフトレジスタ109と、複数のレベルシフト回路111を有し、シフトレジスタ106、109及びラッチ回路108には、夫々ゲート線シフトレジスタ入力端子121、ラッチ回

路入力端子122、水平シフトレジスタ入力端子123から信号が夫々レベルシフト回路111を介して入力し、ラッチ回路108には、画像信号データ入力端子125からの信号が入力するよう絶縁基板上に構成してなる画像表示パネルにおいて、前記絶縁基板上に容量とダイオードから成る高電圧生成回路212を設け、高電圧生成回路入力端子213、214から所定の周波数を有する低電圧の振動のクロックを、定電圧入力端子215から低電圧の定電圧を入力し、出力端子216から各レベルシフト回路111に高電圧を供給する。

【0011】

【発明の実施の形態】図1、図2を用いて本発明の実施例1を説明する。

【0012】図1は本実施例である画像表示パネル250の構成図である。

【0013】本実施例である画像表示パネル250の主な構成および動作は、既に述べた図7の従来例のそれと同様であるので説明を省略する。図1において図7と同一の符号は同じ構成要素を示す。前記従来例と比較した場合の本実施例の特徴は、各レベルシフト回路111に高電圧を供給するための高電圧生成回路212を設けた点である。即ち、各レベルシフト回路111に高電圧を供給するために、高電圧生成回路212を設け、高電圧生成回路入力端子213、214から所定の周波数を有する5V振動のクロックを、定電圧入力端子215から5Vの定電圧を入力し、出力端子216から各レベルシフト回路111に13Vの高電圧を供給するようにしている。

【0014】次に本実施例の高電圧生成回路212の構成及び動作に関して、図2を用いて以下説明する。図2は、高電圧生成回路212の構成図である。

【0015】高電圧生成回路入力端子213は、容量6と順方向に接続されたダイオード1を介して出力端子216に接続されている。高電圧生成回路入力端子214は、容量7を介した後に、順方向に接続されたダイオード2と、順方向に直列接続されたダイオード4、1と、を並列に介して出力端子216に接続されている。定電圧入力端子215は、順方向に接続されたダイオード3と、順方向に直列接続されたダイオード5、2と、順方向に直列接続されたダイオード5、4、1と、を並列に介して出力端子216に接続されている。

【0016】次に本高電圧生成回路212の動作を説明する。前述のように高電圧生成回路212の高電圧生成回路入力端子213、214には、所定の同一周波数を有する5V振動のクロックが逆位相で入力されるが、このクロックが容量6、7を介して回路各部のノードを容量結合によって昇圧する。このとき各ダイオード4、5は、印加電圧が順方向の場合には電流をオン、逆方向の場合には電流をオフする電圧制御型電流スイッチとして働くため、各容量6、7のブートストラップ効果によ

(4)

特開2002-366076

て出力端子216には(15-3V_{os})V(ほぼ13V)の出力電圧が生成される。なおここでV_{os}は、各ダイオードにおける順方向電流出力時の出力オフセット電圧である。

【0017】本実施例においては、このような高電圧生成回路212を用いることによって、画像表示パネル250への外部からの入力電圧を全て5V以下にすることが可能であり、それによって周辺装置内の駆動回路等全ての回路を、5V以下の低耐圧を有する一般のLSIで実現することでシステムの低コスト化を可能としている。

【0018】なお本実施例においては、高電圧生成回路212を、図2のように容量2個及びダイオード5個で構成して3倍の出力電圧を得ているが、容量1個につきダイオード2個を増減することで2倍或いは4倍以上の出力電圧を得る高電圧生成回路212を構成することが可能である。

【0019】図3を用いて本発明の実施例2を説明する。

【0020】図3は、画像ビューア97の構成図である。

【0021】画像ビューア97は、無線インターフェース(I/F)回路87と、MPU兼デコーダ88と、フレームメモリ89と、多結晶Si液晶表示パネル90と、電源95および光源96で構成されている。無線I/F回路87には、圧縮された画像データが外部からBluetooth規格に基づく無線データとして入力し、無線I/F回路87の出力信号はMPU兼デコーダ88を経てフレームメモリ89に蓄積される。MPU兼デコーダ88の出力信号は多結晶Si液晶表示パネル90に入力される。多結晶Si液晶表示パネル90は、前記実施例1で説明した液晶表示パネル250と同一の構成である。

【0022】以下に本実施例の動作を説明する。無線I/F回路87は圧縮された画像データを外部から取り込み、このデータをMPU兼デコーダ88に転送する。MPU兼デコーダ88はユーザからの操作を受けて、必要に応じて画像ビューア97を駆動し或いは圧縮された画像データのデコード処理(伸張して元のデータに戻す処理)を行う。デコードされた画像データはフレームメモリ89に一時的に蓄積され、MPU兼デコーダ88の指示に従って、蓄積されていた画像を表示するための画像データおよび所定の駆動パルスが多結晶Si液晶表示パネル90に出力する。多結晶Si液晶表示パネル90が、これらの信号を用いて画像を表示することに関しては、前記実施例1で述べたとおりであるので、ここでは詳細な説明は省略する。光源96は液晶表示に対するバックライトであるが、反射表示モードで液晶表示を行う際には光源96は点灯する必要はない。電源95には二次電池が含まれており、これらの装置全体を駆動する電

源を供給する。

【0023】本実施例によれば、多結晶Si液晶表示パネル90を、5Vの出力電圧を有するLSIで構成されるMPU兼デコーダ88で直接駆動するようにして画像を表示させているので、高電圧駆動回路を設ける必要がなく、画像ビューア97の低コスト化を図ることができる。

【0024】図4を用いて本発明の実施例3を説明する。

【0025】実施例1、2においては、画像表示パネル250の画素100として液晶容量102を用いたが、図4の実施例3では画素300として有機発光ダイオード(OLED, Organic Light Emitting Diode)を用いたことが特徴である。以下実施例3を詳細に説明する。

【0026】画素300は、ゲート線103にゲートを信号線104にドレインを接続された低温多結晶Si-TFTである画素スイッチ301と、画素スイッチ301のソースにゲートを接続された低温多結晶Si-TFTである画素駆動TFT302と、同じく画素スイッチ301のソースに一端を接続された保持容量303と、画素駆動TFT302のドレインに順方向接続された有機発光ダイオード304とから構成される。なお画素駆動TFT302のソース及び保持容量303の他端はアース電位である低電圧線306に、有機発光ダイオード304の他端は高電圧電源線305に接続されている。高電圧電源線305には、高電圧生成回路212の出力端子216から高電圧が供給されている。

【0027】本実施例においても実施例1と同様に、アナログ画像信号電圧は画素スイッチ301を介して保持容量303に順次書き込まれる。画素駆動TFT302は、保持容量303に書き込まれたアナログ画像信号電圧に対応する信号電流を有機発光ダイオード304を通じて流す。これによって有機発光ダイオード304は信号電流に応じた発光を行い、表示パネルに画像を表示する。

【0028】本実施例においては、高電圧電源線305に印加される電圧V_{HH}を、実施例1と同様に図1に示した画像表示パネル250の高電圧生成回路212の出力端子216から得るものである。これによって、周辺装置内の駆動回路等全ての回路を、5V以下の低耐圧を有する一般のLSIで実現することでシステムの低コスト化を可能としている。

【0029】なお、実施例1～3における絶縁基板としては、ガラス基板の他に石英基板や透明プラスチック基板が用いられるし、また液晶表示方式を反射型に限定することでSi基板を初めとする不透明基板を用いることも可能である。また、DA変換器を内蔵せずに外部からアナログ入力する回路構成を採用することや、電圧値の変更等、本発明の趣旨を逸脱しない範囲で多様な画像表

(5)

特開2002-366076

示パネルが可能であることは言うまでもない。

【0030】図5、図6を用いて本発明の実施例4を説明する。

【0031】実施例4は、本発明の実施例1～3の高電圧生成回路212におけるダイオードとして、 $n^+/n^-/p^+$ の構造を有するラテラルダイオードを用いたものである。本発明の実施例4について、以下詳細に説明する。

【0032】図5は、実施例4の特徴である $n^+/n^-/p^+$ の構造を有するラテラルダイオード（以下「構造A」という。電流に平行な向きに n^- 領域の長さは $3\mu m$ ）と、従来公知の n^+/p^+ の構造を有するラテラルダイオード（以下「構造B」という）の、夫々の電圧 V_a —電流 I_a 特性の概要を示す図である。ここで、「 n^+ 」、「 p^+ 」は、 n^+ の領域、 p^+ の領域の各不純物濃度が $1.0 \times 10^{20}/cm^3$ 以上と十分に飽和する程度の高濃度であることを表しており、「 n^- 」は、 n^- の領域の不純物濃度が $1.0 \times 10^{18}/cm^3$ 程度と低濃度であることを表している。また縦軸は電流特性を対数で表し、分かり易くするために第一象限に順方向電圧印加時、第三象限に逆方向電圧印加時の特性をまとめて示してある。図5を見ると、順方向電圧印加時では構造Aと構造Bの両者の各特性にそれほど大きな差はないが、逆方向電圧印加時には構造Aと構造Bの逆方向電流は桁も異なることが判る。即ち、構造Aの前記ダイオードを用いた場合は、逆方向の電流が非常に小さい。そのため、高電圧生成回路212におけるダイオード4、5の、順方向オン、逆方向オフの電圧制御型電流スイッチとしての機能、特に逆方向オフの機能が改善される結果、構造Bに比べてより高い安定した出力電圧が得られると共に、消費電力も小さくなる。

【0033】図6は、図2の高電圧生成回路212のダイオード1～5として構造Aの前記ダイオードを用いた場合の、出力端216における出力電圧—出力電流特性図である。図6には、高電圧生成回路入力端子213、214に入力する5V振幅のクロックの周波数を5通りに変えた特性を示しているが、いずれも設計値である出力電流0.1 μA 以下において極めて安定した出力電圧特性を有している。また前述のようにダイオードの出力オフセット電圧 V_{off} も安定しているため、複数のサンプル間の特性もばらつかず、極めて安定している。なお、本発明はTFTを用いて回路を構成するので、ダイオードはTFTのチャネル領域と同一の工程で形成すれば良く、絶縁基板上に設けられるためにp型及びn型の各端子はそれぞれ自動的に、間隔的に分離される。ダイオードに代えて、ダイオード接続されたTFTを用いることは適当ではない。

【0034】本実施例においては、実施例1～3で述べ

たように、高電圧生成回路212を用いることで画像表示装置のコストを低くすることができる効果に加えて、構造Aの前記ダイオードを用いることにより逆方向リーク電流を抑えて、高電圧生成回路212の出力電圧特性を安定にし十分な高電圧を得ることができ、また消費電力も小さくすることができる効果がある。

【0035】

【発明の効果】本発明によれば、周辺装置内の駆動回路等全ての回路を5V以下の低電圧を有する一般のLSIで実現することにより、画像表示装置の低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例1の画像表示パネル250を示す図である。

【図2】本発明の実施例1の高電圧生成回路212の構成を示す図である。

【図3】本発明の実施例2の画像ビューア97の構成を示す図である。

【図4】本発明の実施例3における画素300の構成を示す図である。

【図5】本発明の実施例4で用いるラテラルダイオードの電圧—電流特性の概要を示す図である。

【図6】本発明の実施例4における高電圧生成回路212の出力電圧—出力電流特性を示す図である。

【図7】従来例の画像表示パネル150を示す図である。

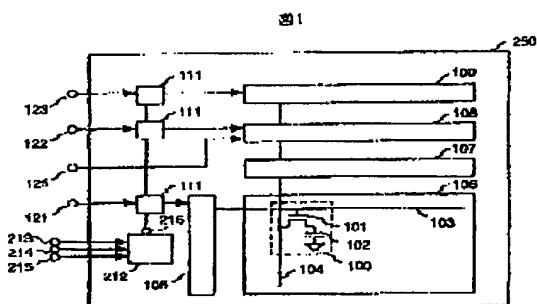
【符号の説明】

- 1～5 ダイオード
- 6, 7 容量
- 8 7 無線インターフェース (I/F) 回路
- 8 8 MPU兼デコーダ
- 8 9 フレームメモリ
- 9 0, 1 5 0, 2 5 0 画像表示パネル
- 9 5 電源
- 9 6 光源
- 9 7 画像ビューア
- 1 0 0, 3 0 0 画素
- 1 0 3 ゲート線
- 1 0 4 信号線
- 1 0 5 画素領域
- 1 0 6 ゲート線シフトレジスタ
- 1 0 7 D/A変換器
- 1 0 8 ラッチ回路
- 1 0 9 水平シフトレジスタ
- 1 1 1 レベルシフト回路
- 2 1 2 高電圧生成回路
- 3 0 2 画素駆動TFT
- 3 0 4 有機発光ダイオード

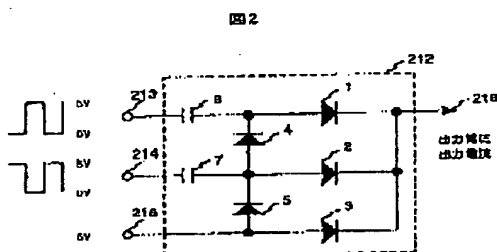
(6)

特開2002-366076

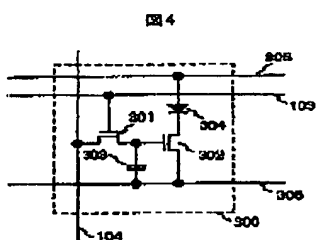
【圖 1】



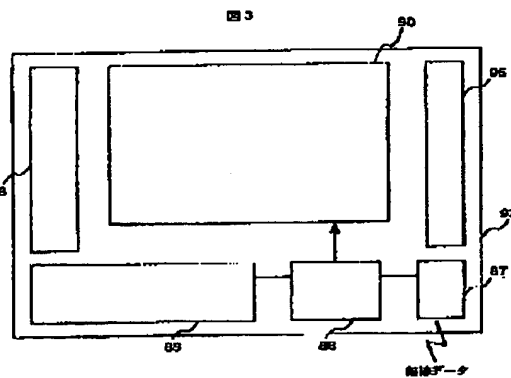
【圖 2】



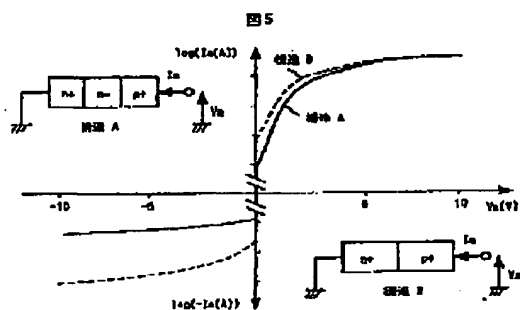
【圖3】



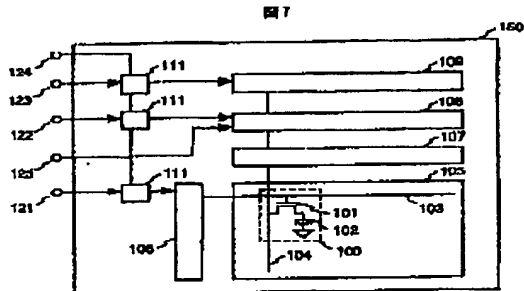
【图 4】



【圖 5】



【圖 7】

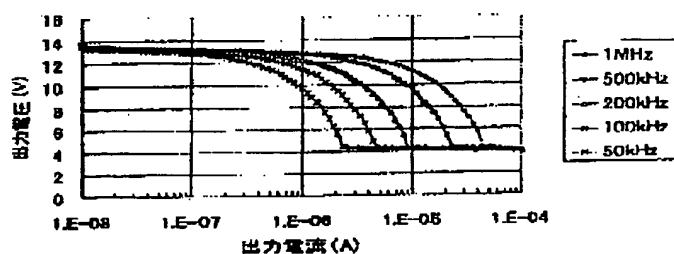


(7)

特開2002-366076

【図6】

図6



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

7-73-1 (参考)

G 0 8 G 3/36

G 0 8 G 3/36

Fターム(参考) 2H092 GA59 JA24 KA04 NA27
 2H093 NA18 NC13 NC22 NC26 ND38
 ND49 ND54
 5C006 AC24 BB16 BC02 BC06 BC16
 BC20 BF46 EB06 FA51
 5C080 AA10 BB05 DD27 FF11 HH14
 JJ02 JJ03 JJ05 KK02